

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭60-60751

⑫ Int.Cl.
 H 01 L 27/04

識別記号 廷内整理番号
 C-8122-5F

⑬ 公開 昭和60年(1985)4月8日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路

⑮ 特 願 昭58-169788

⑯ 出 願 昭58(1983)9月14日

⑰ 発明者 瓜屋晋 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 発明者 桜代裕治 東京都港区芝5丁目7番15号 日本電気アイシーマイコン
 システム株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 出願人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

㉑ 代理人 弁理士内原晋

明細書

この回路の周波数特性は容値 C_1 , C_2 の比精度によって決定される。

従来の半導体集積回路においては、容値の精度を高めるために、第2図(a)(b)のような単位容値素子を複数個設け、これを第3図に示すように一定間隔をもつて配位し、必要とする容値に応じて接続個数を調整することが行なわれていた。

第1図において、 S_1 ～ S_2 は電子スイッチで、 A は増幅器である。

第2図(a)(b)は従来から公知の単位容値素子の一例の平面図と断面図で、それぞれ導電材料で形成された上部電極1と下部電極2の間に絶縁層3を挟んで容値を構成する。4は上部電極に接続するためのコンタクト部、5は接続用アルミ配線部である。下部電極2は複数個の単位容値素子群に対して共通であっても差支えなく、従って下部電極に対する外部への接続手段は省略してある。

第3図は、従来から公知の単位容値素子群の一例を示したもので、図では、6個をほぼ一定間隔をもつて長方形に並べてある。

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

一定間隔をもつて配位された複数個の単位容値素子群を含む半導体集積回路において、前記単位容値素子群を形成する上部電極群の周辺を、前記上部電極と同一の材料、同一の加工条件で形成され、かつ前記一定間隔と実質的に等しい間隔を保つて成りられた棒状パターンで囲むことを特徴とする半導体集積回路。

3. 発明の詳細な説明

本発明は半導体集積回路、特に比精度の良い容値素子を有する半導体集積回路に関する。

アナログ集積回路に使用されるフィルタ回路には、第1図に示すような S.C.F. (Switched Capacitor Filter) 回路が多く使われており、

しかしながら、従来のこの配列には欠点がある。すなわち、各単位容量素子の上部電極1をエッティングにて形成する場合、たとえその写真マスクを各上部電極パターンごとに同一の寸法に設計しても、エッティングプロセスによって単位容量素子群の外側が、より多くエッティングされる傾向があり、第4図に示すように各上部電極の形状が同一にならない欠点があった。第4図において6で示した部分はエッティングにより上部電極1が狭められた部分で、説明のためにやや誇張して書いている。

従って、接続する単位容量素子の数を増減しても、それに比例して全側電容量を変化させることができなかつた。

本発明はこのような欠点を除去しエッティングによる差をなくしたものである。

本発明によると一定間隔をもいて配位された複数個の単位容量素子群を含む半導体集積回路において、前記単位容量素子群を形成する上部電極群の周辺を、前記上部電極と同一の材料、同一の加

工条件で形成され、かつ前記一定間隔と対質的に等しい間隔を保って設けられた枠状パターンで囲むことを特徴とする半導体集積回路が特られる。

すなわち一定間隔をもって配位された各単位容量素子の囲りの結果として成る上部電極群の周辺に、それら電極群を構成するのと同じ材料と同じプロセスを用いて枠状パターンを設け、上部電極群における外側効果(外側がエッティングされ易い)をなくすものである。さらにこの枠状パターンをインピーダンスの低いラインに接続することにより、他との寄生容量を低減させ、ジールド効果によって雜音の誘導を減少させることができる。

第5図は本発明の一実施例の上面図であり、7は本発明において付加した枠状パターンで、上部電極1の囲まりである上部電極群の周囲に間隔aで配位されている。間隔aは、各単位容量素子の上部電極1相互間の間隔aと等しく取扱っている。

第5図に示した前成例によれば、上部電極群の各電極パターンはエッティング効果に対して平等であり、従来にあったようなエッティング差は除去で

きる。

以上、本発明を一実施例である第5図によって説明したが、枠状パターンは完全に閉じてある必要はなく、途中で切れていたり、低インピーダンスラインへの接続が複数個の位置で行なわれても良いし、又枠状パターン内の上部電極群は单体であっても良いことは言うまでもない。

本発明によると、以上説明したように、上部電極群における外側効果をなくした半導体集積回路が得られる。

4. 図面の簡単な説明

第1図は容量素子を有する半導体集積回路の一例の回路図、第2図(a)(b)は公知の単位容量素子の例の平面図及び断面図、第3図は公知の単位容量素子群の配位説明図、第4図は従来のエッティング状況説明図、第5図は本発明の一実施例の配位説明図である。

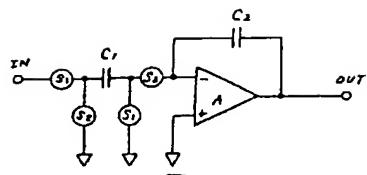
C₁～C₂ ……容量、S₁～S₂ ……電子スイッチ、A ……増幅器、1 ……上部電極、2 ……下

部電極、3 ……絶縁層、4 ……コンタクト部、5 ……接続用アルミ配線、6 ……エッティング部、7 ……枠状パターン。

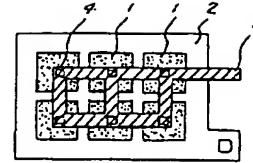
代理人弁理士 内原



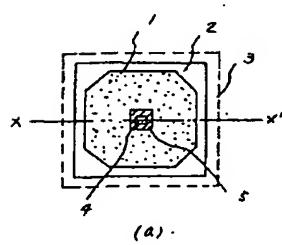
特開昭60-60751(3)



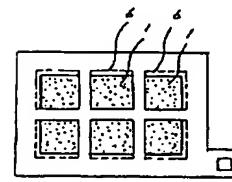
第1図



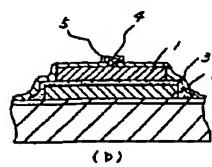
第3図



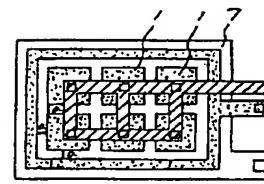
(a)



第4図



第2図



第5図